

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] Produce the bond wafer which forms a SOI layer from the silicon single crystal by the Czochralski method, and the base wafer used as this bond wafer and a support substrate is combined through an oxide film. In the manufacture approach of a SOI wafer of performing thin film-ization of a bond wafer after that As said bond wafer, the growth rate of the silicon single crystal by the Czochralski method is pulled up as 0.6 or more mm/min. A content oxygen density grows the silicon single crystal rod with which COP of 16 or less ppmas exists in high density. The manufacture approach of the SOI wafer characterized by using what sliced this silicon single crystal rod, processed it into the silicon wafer, and added heat treatment in a reducing atmosphere to this silicon wafer.

[Claim 2] Produce the bond wafer which forms a SOI layer from the silicon single crystal by the Czochralski method, and the base wafer used as this bond wafer and a support substrate is combined through an oxide film. In the manufacture approach of a SOI wafer of performing thin film-ization of a bond wafer after that As said bond wafer, the growth rate of the silicon single crystal by the Czochralski method is pulled up as 0.6 or more mm/min. A content oxygen density grows the silicon single crystal rod with which COP of 16 or less ppmas exists in high density. The manufacture approach of the SOI wafer characterized by slicing this silicon single crystal rod, processing it into a silicon wafer, using rapid heating and quick cooling equipment for this silicon wafer, and using what added heat treatment more than for 1 second at the temperature of 1200 degrees C or more into the reducing atmosphere.

[Claim 3] Produce the bond wafer which forms a SOI layer from the silicon single crystal by the Czochralski method, and the base wafer used as this bond wafer and a support substrate is combined through an oxide film. In the manufacture approach of a SOI wafer of performing thin film-ization of a bond wafer after that As said bond wafer, the growth rate of the silicon single crystal by the Czochralski method is pulled up as 0.6 or more mm/min. A content oxygen density grows the silicon single crystal rod with which COP of 16 or less ppmas exists in high density. The manufacture approach of the SOI wafer characterized by slicing this silicon single crystal rod, processing it into a silicon wafer, using a batch type heat treating furnace for this silicon wafer, and using what added heat treatment for 30 minutes or more at the temperature of 1200 degrees C or more into the reducing atmosphere.

[Claim 4] The manufacture approach of a SOI wafer given in any 1 term of claim 1 characterized by grinding the bond wafer which added said heat treatment before combining with a base wafer thru/or claim 3.

[Claim 5] said polish -- polish cost -- the manufacture approach of the SOI wafer according to claim 4 characterized by grinding by 5-15nm.

[Claim 6] It is the manufacture approach of a SOI wafer given in any 1 term of claim 1 characterized by performing thin film-ization of said bond wafer by grinding and the grinding method, and the gas-phase-etching method thru/or claim 5.

[Claim 7] It is the manufacture approach of a SOI wafer given in any 1 term of claim 1 characterized by performing thin film-ization of said bond wafer with an ion-implantation separation method thru/or claim 5.

**BEST AVAILABLE COPY**

[Claim 8] The manufacture approach of the SOI wafer indicated in any form of claim 1 characterized by making said reducing atmosphere into a hydrogen ambient atmosphere or the mixed ambient atmosphere of hydrogen and an argon 100% thru/or claim 7.

[Claim 9] The SOI wafer manufactured by claim 1 thru/or the manufacture approach according to claim 8.

---

[Translation done.]

**\* NOTICES \***

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the SOI wafer manufactured by the approach of producing the bond wafer which forms a SOI layer from the silicon single crystal by the Czochralski method, and manufacturing a SOI wafer, and this approach.

[0002]

[Description of the Prior Art] When using the wafer (it is called CZ wafer below) obtained from the silicon single crystal by the Czochralski method for the bond wafer which forms a SOI layer and manufacturing a SOI (Silicon On Insulator) wafer conventionally, COP (Crystal Originated Particle) which exists in CZ wafer poses a problem.

[0003] COP is one of the crystal defects introduced at the time of crystal growth, and it turns out that it is the defect of the cavernous mold of regular-octahedron structure. If this COP washes the silicon wafer after mirror polishing with the mixed liquor of ammonia and a hydrogen peroxide, a pit will be formed in a wafer front face, and if this wafer is measured at a particle counter, a pit will also be detected as particle with original particle. It is called COP in order to distinguish such a pit from original particle.

[0004] If CZ wafer with which this COP exists is used for a bond wafer and a SOI wafer is manufactured, it will have a bad influence on the dielectric-breakdown property (Time Dependent Dielectric Breakdown:TDDb) with the passage of time and the usual oxide-film proof pressure (Time Zero Dielectric Breakdown:TZDB) of an oxide film which are the important electrical characteristics of a device, for example.

[0005] COP furthermore shown in CZ wafer front face may serve as a hole which penetrates a thin SOI layer. For example, in the etching process and heat treatment process in a device process, the embedding oxide film was etched, or the level difference arose at the wiring process, it became the cause of an open circuit, the fall of the yield was caused in the device process with etchant and the controlled atmosphere which invaded from this hole, and it was a problem.

[0006] For this reason, how to use not CZ wafer but FZ wafer for a bond wafer, and to manufacture a SOI wafer as the manufacture approach of a semi-conductor substrate was able to be considered. There is an advantage that there is no COP in this FZ wafer. However, in present, the technique which produces a wafer with a large diameter of 8 inches or more is not established, but large diameter-ization of a semi-conductor substrate in recent years has the fault that it cannot respond.

[0007] Moreover, the approach using the epitaxial wafer into which the single crystal thin film layer was grown up as a bond wafer of a SOI wafer is on CZ wafer. It has the advantage that this epitaxial wafer does not have COP in an epitaxial layer, either. However, in present, the cost which manufactures an epitaxial wafer has the fault that it is expensive compared with the cost which manufactures the usual bond wafer.

[0008] Then, the approach using CZ wafer which elevated-temperature annealing was given [ wafer ] and decreased the COP consistency as an approach of manufacturing a SOI wafer using CZ wafer as a bond wafer was proposed (refer to JP,10-84101,A). However, even if it

performs hydrogen annealing 60 minutes at 1200 degrees C which is the typical condition, completely, COP on the front face of a wafer will not disappear, but will remain a little, and COP will remain also near the front face further comparatively.

[0009] Furthermore, the approach of making late the growth rate of the silicon single crystal by the Czochralski method, and decreasing a crystal defect was thought as an approach of decreasing COP different from hydrogen annealing. According to this approach, the number of COP could be decreased, and further, when giving hydrogen annealing to the silicon wafer obtained by this approach, it was thought that COP in the silicon wafer more effectively used for SOI wafer manufacture was reducible. However, by this approach, although the number of COP can be decreased, since the size of COP became large, even if it carried out hydrogen annealing treatment of the wafer obtained from this silicon single crystal rod, COP was not able to be extinguished completely.

[0010] Thus, since the size of COP becomes large even if it is difficult to fully extinguish COP even if it performs hydrogen annealing to CZ wafer and it makes late the pull-up rate of the silicon single crystal by the Czochralski method, the present condition is having lapsed into the situation of being hard to disappear even if it carries out hydrogen annealing. Therefore, it was difficult to raise the yield of the device process of the SOI wafer using this CZ wafer present.

[0011]

[Problem(s) to be Solved by the Invention] Then, this invention was made in view of such a trouble, and the place made into the purpose of this invention tends to offer the manufacture approach of the SOI wafer which may raise the yield of a device process by using for a bond wafer CZ wafer produced by the technique of suppressing the crystal defect which exists in wafer front faces, such as COP, and the surface section to the minimum.

[0012]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, invention indicated to claim 1 of this invention Produce the bond wafer which forms a SOI layer from the silicon single crystal by the Czochralski method, and the base wafer used as this bond wafer and a support substrate is combined through an oxide film. In the manufacture approach of a SOI wafer of performing thin film-ization of a bond wafer after that As said bond wafer, the growth rate of the silicon single crystal by the Czochralski method is pulled up as 0.6 or more mm/min. A content oxygen density grows the silicon single crystal rod with which COP of 16 or less ppmas exists in high density. It is the manufacture approach of the SOI wafer characterized by using what sliced this silicon single crystal rod, processed it into the silicon wafer, and added heat treatment in a reducing atmosphere to this silicon wafer.

[0013] Thus, it sets to the manufacture approach of the SOI wafer using CZ wafer as a bond wafer. As a bond wafer, the growth rate of the silicon single crystal by the Czochralski method is pulled up as 0.6 or more mm/min. A content oxygen density grows the silicon single crystal rod with which COP of 16 or less ppmas exists in high density. If what sliced this silicon single crystal rod, processed it into the silicon wafer, and added heat treatment in a reducing atmosphere to this silicon wafer is used The SOI layer of a SOI wafer becomes that to which COP decreased sharply, and it is etching and heat treatment in a SOI wafer production process or a device process. An embedding oxide film is etched, or an open circuit cannot take place at a wiring process, and yields, such as a device process, can be raised remarkably.

[0014] Moreover, invention indicated to claim 2 of this invention produces the bond wafer which forms a SOI layer from the silicon single crystal by the Czochralski method, and the base wafer used as this bond wafer and a support substrate is combined through an oxide film. In the manufacture approach of a SOI wafer of performing thin film-ization of a bond wafer after that As said bond wafer, the growth rate of the silicon single crystal by the Czochralski method is pulled up as 0.6 or more mm/min. A content oxygen density grows the silicon single crystal rod with which COP of 16 or less ppmas exists in high density. It is the manufacture approach of the SOI wafer characterized by slicing this silicon single crystal rod, processing it into a silicon wafer, using rapid heating and quick cooling equipment for this silicon wafer, and using what added heat treatment more than for 1 second at the temperature of 1200 degrees C or more into the reducing atmosphere.

[0015] Thus, it sets to the manufacture approach of the SOI wafer using CZ wafer as a bond wafer. To the silicon wafer which was sliced and was obtained from the silicon single crystal rod of the quality same as a bond wafer as invention indicated to claim 1 If what added heat treatment more than for 1 second at the temperature of 1200 degrees C or more into the reducing atmosphere is used using rapid heating and quick cooling equipment The SOI layer of a SOI wafer becomes that to which COP decreased sharply, and it is etching and heat treatment in a SOI wafer production process or a device process. An embedding oxide film is etched, or an open circuit cannot take place at a wiring process, and yields, such as a device process, can be raised remarkably.

[0016] Here, rapid heating and forced cooling throw in a wafer immediately in the heat treating furnace set as said temperature requirement, and is the approach of heat-treating immediately with the approach of taking out immediately, the lamp heater after arranging a wafer in the setting location in a heat treating furnace, etc. after said heat treatment passage of time. Supplying immediately and taking out throws [ this ] in a wafer slowly, I hear that it does not perform the so-called loading to take out and unloading actuation, and it is in the temperature up in fixed time amount currently performed conventionally, and temperature fall actuation and a heat treating furnace. However, in order to carry to the predetermined location in a furnace, naturally it has a certain amount of time amount, and is carried out in several seconds to several minutes according to the capacity of the migration equipment for throwing in a wafer. Equipment with such a function is called rapid heating and quick cooling equipment (it may be called RTA equipment for short Rapid Thermal Annealer and the following).

[0017] And invention indicated to claim 3 of this invention Produce the bond wafer which forms a SOI layer from the silicon single crystal by the Czochralski method, and the base wafer used as this bond wafer and a support substrate is combined through an oxide film. In the manufacture approach of a SOI wafer of performing thin film-ization of a bond wafer after that As said bond wafer, the growth rate of the silicon single crystal by the Czochralski method is pulled up as 0.6 or more mm/min. A content oxygen density grows the silicon single crystal rod with which COP of 16 or less ppmas exists in high density. It is the manufacture approach of the SOI wafer characterized by slicing this silicon single crystal rod, processing it into a silicon wafer, using a batch type heat treating furnace for this silicon wafer, and using what added heat treatment for 30 minutes or more at the temperature of 1200 degrees C or more into the reducing atmosphere.

[0018] Thus, it sets to the manufacture approach of the SOI wafer using CZ wafer as a bond wafer. To the silicon wafer which was sliced and was obtained from the silicon single crystal rod of the quality same as a bond wafer as invention indicated to claim 1 If what added heat treatment for 30 minutes or more at the temperature of 1200 degrees C or more into the reducing atmosphere is used using a batch type heat treating furnace The SOI layer of a SOI wafer becomes that to which COP decreased sharply, and it is etching and heat treatment in a SOI wafer production process or a device process. An embedding oxide film is etched, or an open circuit cannot take place at a wiring process, and yields, such as a device process, can be raised remarkably.

[0019] What [ usually lays two or more wafers in two or more plates prepared in the vertical mold heat treating furnace with a batch type heat treating furnace here ] There are some which teach two or more wafers to the boat formed in the horizontal-type heat treating furnace. After introducing hydrogen gas and carrying out a temperature up comparatively gently, a lot of [ at once ] heat treatment is possible, it is the thing of the furnace heat-treated by the so-called batch type which performs predetermined time heat treatment and is lowered comparatively slowly at predetermined temperature, and the stable operation is [ it excels in the controllability of temperature and ] possible.

[0020] in this case, as indicated to claim 4, having ground, before combining with a base wafer was desirable, and it indicated the bond wafer which added reducibility heat treatment to claim 5 -- as -- this polish -- polish cost -- grinding by 5-15nm is desirable. This is because bond strength can be raised while being able to remove Hayas produced by heat treatment and the incidence rate of a void (uncombined section) falling if it joins together after grinding about 5-

15nm of the front face since \*\*\* called Hayes to the front face of wafer which added reducibility heat treatment arises.

[0021] In this case, as indicated to claim 6, thin film-ization of a bond wafer can be performed by grinding and the grinding method, and the gas-phase-etching method. Here, grinding and the grinding method, and a gas-phase-etching method are the approach of equalizing thickness while improving the surface roughness of a SOI layer front face the approach of carrying out grinding until it becomes the SOI layer membrane thickness of a request of a bond wafer, and grinding on the SOI layer front face, after combining a bond wafer and a base wafer through an oxide film, or by performing gas phase etching further, and thin film-ization of a bond wafer can be performed easily.

[0022] in addition -- this gas phase etching -- for example, PACE (Plasma Assisted Chemical Etching) -- the approach of producing a thin film with thickness very uniform ultra-thin according to that map by removing a thick part by gas phase etching locally with numerical control can be mentioned by measuring distribution of thickness of the silicon layer which it is going to etch beforehand like law, and creating the map of a thickness distribution.

[0023] In this case, as indicated to claim 7, thin film-ization of a bond wafer can be performed with an ion-implantation separation method. With an ion-implantation separation method, while forming an oxide film at least in one side between two wafers, a bond wafer and a base wafer, here A hydrogen ion or rare gas ion is poured in from the top face of a bond wafer. After making a minute air-bubbles layer (enclosure layer) form in the interior of this wafer, the field of the direction which poured in this ion is stuck with a base wafer through an oxide film. By adding the postheat treatment and separating a bond wafer in the shape of a thin film by making a minute air-bubbles layer into a cleavage plane, it is the approach of performing thin film-ization of a bond wafer (refer to JP,5-211128,A). With such an approach, this cleavage plane is a good mirror plane, and can obtain comparatively easily a SOI wafer also with the high homogeneity of the thickness of a SOI layer.

[0024] And as indicated to claim 8 of this invention, 100% hydrogen ambient atmosphere or the mixed ambient atmosphere of hydrogen and an argon, then the heat treatment effectiveness can fully be mentioned for said reducing atmosphere, COP can be decreased remarkably, a cavity can be filled with silicon, and it can consider as a defect-free wafer mostly.

[0025] Furthermore, invention indicated to claim 9 of this invention is the SOI wafer manufactured by the manufacture approach indicated to said claim 1 thru/or claim 8. Thus, the SOI wafer manufactured by the manufacture approach indicated to claim 1 thru/or claim 8 has very little COP of a SOI layer, and it can actually use it as a defect-free SOI wafer. Therefore, dependability of a device can be used as the very quality SOI wafer whose yield improves remarkably and also improves.

[0026] Hereafter, it explains to a pan per this invention at a detail. this invention person about CZ wafer used for the bond wafer which forms the SOI layer of a SOI wafer As a result of repeating an experiment and investigation variously about the manufacture conditions which can decrease COP which exists in the front face or the interior of this wafer, to this If hydrogen annealing etc. is heat-treated to the wafer which pulled up the single crystal at high speed, produced the single crystal rod with which COP of minute size exists in high density by hypoxia concentration, and was obtained after this A COP consistency decreases remarkably, the knowledge of the ability to obtain a defect-free SOI wafer from this silicon wafer is carried out, terms and conditions are scrutinized, and this invention is completed.

[0027] The fundamental view of this invention is based on the following knowledge. The artificer of this invention previously to COP in the silicon single crystal pulled up on condition that usual [ of the Czochralski method ] Besides COP of the twin which is the order whose whole size is 100-300nm - a triplet mold, with the structure which 2-3 cavities of the regular octahedron surrounded with the thin oxide film whose thickness is 2-4nm connected It is the order whose whole size is 60-130nm in the cavity of the independent regular octahedron of one piece, and discovered whether an oxide film is still thinner than a twin - triplet mold and that COP of the single mold not existing existed for the first time.

[0028] If the difference in the generation condition of COP of this single mold and a twin - triplet

mold is pulled up with the Czochralski method at high speed and it quenches, much COP with small size will occur with a single mold, and the single mold COP which is not further attached [ whether the oxide film of a COP wall is very thin and ] by hypoxia concentration will be generated. Conversely, although it will grow up to be COP of a twin – triplet mold and a number will decrease if it pulls up at a low speed and cools slowly, the oxide film of a COP wall tends to become thick.

[0029] Then, as a result of analyzing the above-mentioned phenomenon in a detail further, in order to reduce defects, such as COP, conventionally, single crystal growth was performed at a low speed, and it turned out that it was going to extinguish the big remaining twin – the triplet mold COP by hydrogen annealing after becoming a wafer. Now, upwards one COP is too large, and since a thick oxide film is shown in the front face, it is difficult to make it disappear by hydrogen annealing. On the other hand, if grow up the low single crystal of a content oxygen density, it is minute, the single crystal rod made to generate many thin single molds COP is conversely made from this invention at high speed even if there is COP which does not have an oxide film in a front face, or an oxide film, and heat treatment by hydrogen annealing etc. is performed to a wafer after that, I will think that COP can disappear easily and completely.

[0030] Although there was much number of COP, size makes a pull-up rate what has many things of 60–130nm and a small single mold, and it was made not to grow up to be a twin – triplet mold as much as possible as a high speed of 0.8 or more mm/min more preferably 0.6 or more mm/min among silicon single crystal growth conditions in this invention. Therefore, it is desirable to grow up a crystal as much as possible more preferably at high speed according to the diameter of the pull-up crystal of 1.0 or more mm/min in this invention. In less than 0.6 mm/min, although it becomes slow speed cooling, it grows up to be the twin – triplet mold COP and the number decreases, since the oxide film of a COP wall also becomes thick, it is not desirable. In this one single type COP of size, the oxide film of a wall is not growing by hypoxia concentration by about 60–130nm in many cases.

[0031] As quality of a silicon single crystal rod, a content oxygen density is preferably set to 10 or less ppmas below 16ppma(s) (JEIDA). It comes to influence the quality and productivity of a SOI wafer that the oxide film of the COP wall generated when 16ppma(s) were exceeded becomes thick, disappearance of COP in subsequent heat treatment becomes imperfect, or heat treatment time amount becomes long etc.

[0032] In order to control the content oxygen density of a silicon single crystal rod, it can attain easily conventionally by well-known approaches, such as controlling appropriately the inert gas flow rate in a crystal pulling furnace, the rotational frequency of a crucible, the rotational speed of a growth single crystal, the temperature of silicon melt, etc.

[0033] Then, COP can be remarkably decreased by performing heat treatment in a reducing atmosphere for the silicon wafer which sliced and obtained the above-mentioned silicon single crystal rod. It is also possible to make a COP consistency into zero substantially. And the SOI wafer which has a defect-free SOI layer substantially can be manufactured by using this heat-treated wafer for the bond wafer which forms a SOI layer.

[0034] Moreover, COP can be remarkably decreased by staying with RTA equipment under the reducing atmosphere of mixing of heat treatment with 100% of hydrogen concentration, hydrogen, and an argon, and making the silicon wafer which sliced and obtained the above-mentioned silicon single crystal rod stay more than for 30 minutes with a batch type heat treating furnace more than for 1 second at the temperature of 1200 degrees C or more using rapid heating and quick cooling equipment (RTA equipment), or a batch type heat treating furnace. It is also possible to make a COP consistency into zero substantially especially according to this heat treatment condition. And the SOI wafer which has a defect-free SOI layer substantially can be manufactured by using this heat-treated wafer for the bond wafer which forms a SOI layer.

[0035] when an artificer investigates about the case where the defect-free CZ silicon wafer obtained as mentioned above is applied as a bond wafer of a SOI wafer, before [ moreover, ] combining the bond wafer which added this heat treatment through a base wafer and an oxide film -- the front face of a bond wafer -- polish cost -- it found out that it was suitable to grind by about 5–15nm.

[0036] In the front face of the bond wafer with which hydrogen annealing, etc. was heat-treated, \*\*\*\*\* arises by the pit (hollow) where the very small bottom of high density generally called Hayes is shallow. This Hayes becomes the cause which a void generates, in case it combines with a base wafer after that. By this void, association with a bond wafer and a base wafer may become poor. Then, if the front face of a bond wafer is ground by little about 5-15nm polish cost after heat-treating, this Hayes can be removed completely and can also strengthen bond strength. In addition, since the reduction effectiveness of COP by heat treatment is so remarkable that it is close to the front face of a bond wafer, little direction of this polish cost is good in the range which can remove Hayes.

[0037] And although thin film-ization of a bond wafer is performed and a SOI layer is formed, thin film-ization of this bond wafer can also be performed by polish and a usual grinding method, and a usual gas-phase-etching method, and it can also carry out with an ion-implantation separation method.

[0038] Here, when performing thin film-ization of a bond wafer with an ion-implantation separation method, after performing polish which removes Hayes produced by the above-mentioned heat treatment, it is desirable to pour ion into the ground field. This is because the variation in the machining allowance of polish may worsen distribution of the impregnation depth and the thickness homogeneity of a SOI layer may get worse as a result, when it grinds after impregnation. If ion is poured in after the polish for this Hayes removal, it can prevent that the thickness homogeneity of a SOI layer gets worse.

[0039]

[Embodiment of the Invention] Hereafter, although explained per operation gestalt of this invention, this invention is not limited to these. If rapid heating and the equipment which can cool quickly carry out the heating method of the silicon wafer used by the heat treatment process of this invention, equipment like the heater by the lamp heating method by thermal radiation, the laser-heating method by the laser beam, the X-ray heating method by the X-ray, and the resistance heating method can be mentioned. As what is marketed, for example, the product made from AST and equipment like SHS-2800 can be mentioned, and these are not extraordinarily complicated and expensive.

[0040] Here, an example of the rapid heating and quick cooling equipment of the silicon single crystal wafer used by this invention (RTA equipment) is shown. Drawing 3 is the schematic diagram of RTA equipment. The thermal treatment equipment 20 of drawing 3 has the bell jar 11 which consists of silicon carbide or a quartz, and heat-treats a wafer within this bell jar 11. The heating heater 12 and 12' which are arranged so that a bell jar 11 may be surrounded perform heating. This heating heater is divided in the vertical direction, and can control now the power supplied independently, respectively. Of course, a heating method is not limited to this and is good also as the so-called radiation heating, a high-frequency-heating method, etc. The housing 13 for covering heat is arranged on the outside of the heating heater 12 and 12'.

[0041] Down the furnace, the water-cooled chamber 14 and the base plate 15 have been arranged, and the open air is blocked in a bell jar 11. And a wafer 18 is held on a stage 17 and the stage 17 is attached in the upper limit of the support shaft 16 which can move up and down freely by the motor 19. Wafer insertion opening which is not illustrated [ which is constituted possible / closing motion / with a gate valve ] is prepared in the water-cooled chamber 14 so that a wafer can be taken in and out of a longitudinal direction in a furnace. Moreover, gas input and an exhaust port are established in the base plate 15, and the gas ambient atmosphere in a furnace can be adjusted now to it.

[0042] Rapid heating of a wafer and heat treatment which cools quickly are performed as follows by the above thermal treatment equipments 20. First, by the heating heater 12 and 12', the inside of a bell jar 11 is heated in request temperature of 1200 degrees C or more, and is held to the temperature. If a supply voltage is controlled independently for each divided heating heater, temperature distribution can be given for the inside of a bell jar 11 along the height direction. Therefore, the location of insertion of a stage 17, i.e., the amount into the furnace of the support shaft 16, can determine the processing temperature of a wafer.

[0043] If the inside of a bell jar 11 is maintained at request temperature, with the non-illustrated



wafer handling device which carries a thermal treatment equipment 20 is arranged, a wafer will be put in from insertion opening of the water-cooled chamber 14, and a wafer will be put for example, through a SiC boat on the stage 17 made to stand by in the lowest end position. Since water cooling of the water-cooled chamber 14 and the base plate 15 is carried out at this time, a wafer is not elevated-temperature-ized in this location.

[0044] And if installation of a up to [ the stage 17 of a wafer ] is completed, by inserting the support shaft 16 into a furnace by the motor 19 immediately, a stage 17 will be raised to the request temperature location of 1200 degrees C or more, and elevated-temperature heat treatment will be added to the wafer on a stage. In this case, since migration from the stage lower limit location in the water-cooled chamber 14 to a request temperature location takes only about 20 seconds, a wafer will be heated quickly.

[0045] And elevated-temperature heat treatment for a stop time can be added to a wafer by carrying out a predetermined time halt (above for 1 second) of the stage 17 in a request temperature location. If predetermined time passes and elevated-temperature heat treatment is completed, by drawing out the support shaft 16 out of a furnace by the motor 19 immediately, a stage 17 will be dropped and it will consider as the lower limit location in the water-cooled chamber 14. This downward actuation can also be performed in about 20 seconds. Since water cooling of the water-cooled chamber 14 and the base plate 15 is carried out, the wafer on a stage 17 is cooled quickly. Finally, heat treatment is completed by taking out a wafer with a wafer handling device. Since the temperature of a thermal treatment equipment 20 is not made to lower when there is a wafer furthermore heat-treated, a wafer can be thrown in one after another and it can heat-treat continuously.

[0046] Although it can be used as 100% of hydrogen gas, or the reducing atmosphere of heat treatment adjusts the reducing power of hydrogen, it controls generating of a slip rearrangement in addition is good also as gaseous mixture with an argon from the reason of insurance superiors. The temperature conditions of heat treatment were made into 1200 degrees C or more, and the processing time was considered as the above for 1 second. It is difficult to extinguish COP nearly completely at less than 1200 degrees C, and the heat treatment effectiveness is not acquired in a short time for less than 1 second.

[0047] Thus, surface COP has almost disappeared and can use as a defect-free silicon wafer especially the wafer that used RTA equipment for the wafer which has COP with the small size of this invention, heat-treated, and was obtained. Therefore, if a SOI wafer is manufactured by using this heat-treated wafer as a bond wafer, the SOI wafer which has a defect-free SOI layer can be manufactured, and the yield of device production can be raised. In the case of RTA equipment, a temperature up rate is very quick, since the time amount taken to become the temperature to which COP disappears is very short, even if many single molds COP exist, it becomes an elevated temperature easily, and it is thought that COP disappears.

[0048] A batch type heat treating furnace can also be used as another thermal treatment equipment. Here, after a batch type heat treating furnace lays two or more wafers in the heat treating furnace of a vertical mold or a horizontal type, introduces hydrogen gas into it and it usually carries out a temperature up to it comparatively gently, it is a heat treating furnace of the so-called batch type which performs predetermined time heat treatment and is lowered comparatively slowly at predetermined temperature. A lot of [ at once ] heat treatment is possible for this batch type heat treating furnace, it excels in the controllability of temperature and the stable operation is possible.

[0049] Although heat treatment conditions, such as hydrogen annealing by the batch type heat treating furnace, are not fundamentally different from the case of the above-mentioned RTA equipment and being processed above 1200 degrees C under 100% ambient atmosphere of hydrogen gas, or a mixed ambient atmosphere with an argon, heat treatment time amount has the desirable above for 30 minutes. In less than 30 minutes, the heat treatment effectiveness does not go up enough, but COP seldom disappears in them.

[0050] Thus, most COP of the wafer which heat-treated to the wafer which has COP with the small size of this invention, and was obtained also by the batch type heat treating furnace has disappeared, and can manufacture a defect-free silicon single crystal wafer. Therefore, if a SOI

wafer is manufactured by using this heat-treated wafer as a bond wafer, the SOI wafer which has a defect-free SOI layer can be manufactured, and the yield of device production can be raised.

[0051] Moreover, according to another measuring method, abbreviation one half when the direction processed with the batch type heat treating furnace processes with RTA equipment about the total of COP of the wafer surface section to about 0.5-micrometer depth, and an advantageous result are obtained from the wafer front face, and it can use properly with RTA equipment according to the purpose.

[0052] Thus, it is desirable to obtain the bond wafer which performs polish which removes Hayes produced by heat treatment of the above-mentioned reducibility to the obtained silicon wafer, and forms the SOI layer of a SOI wafer in it. This bond wafer and a base wafer are combined with below through an oxide film, thin film-ization of a bond wafer is performed after that, and although how to manufacture a SOI wafer is explained with reference to a drawing, this invention is not limited to these.

[0053] First, the case where thin film-ization of a bond wafer is performed by grinding and the grinding method, and the gas-phase-etching method is explained. Here, drawing 1 shows an example of the production process of the SOI wafer in the case of performing thin film-ization of a bond wafer by grinding and the grinding method, and the gas-phase-etching method.

[0054] The bond wafer 2 and the base wafer 3 which are a raw material wafer for manufacturing a SOI substrate by lamination first in drawing 1 are prepared ( drawing 1 (a)). Here, in this invention, the bond wafer 2 which forms a SOI layer at least pulls up the growth rate of the silicon single crystal by the above-mentioned Czochralski method as 0.6 or more mm/min, and uses it as the defect-free silicon wafer by which the content oxygen density was produced by the approach of performing reducibility heat treatment to the wafer which grew the silicon single crystal rod with which COP of 16 or less ppmas exists in high density, and was obtained from this single crystal rod with RTA equipment or a batch type heat treating furnace. Of course, it is good also considering two wafers as this defect-free silicon wafer.

[0055] And oxidation heat treatment is performed to at least one side of the prepared silicon wafer, and an oxide film 4 is formed in a wafer front face ( drawing 1 (b)). Formation of the oxide film in this case is not necessarily performed to both wafers, but \*\* may also be good, may be formed only in the bond wafer 2, and may be formed only in the base wafer 3.

[0056] Next, the bond wafer 2 and the base wafer 3 in which this oxide film was formed are stuck under a pure ambient atmosphere ( drawing 1 (c)). Heat treatment is added to this under an oxidizing quality ambient atmosphere, the bond wafer 2 and the base wafer 3 are combined firmly, and it considers as the SOI substrate 1. At this time, the bond wafer 2 and the base wafer 3 are combined firmly ( drawing 1 (d)). What is necessary is just to carry out at the temperature of 200 degrees C – 1200 degrees C, for example under the ambient atmosphere containing oxygen or a steam as heat treatment conditions for heat treatment for combining these two wafers firmly.

[0057] Next, if the front face of the bond wafer 2 is thin-film-ized by the desired thickness by grinding and polish, and gas phase etching according to the usual approach as shown in drawing 1 (e), the SOI substrate 1 which has the defect-free SOI layer 5 substantially can be manufactured. In this case, if it etches by the above mentioned PACE method, the display flatness of a SOI layer will become very good.

[0058] On the other hand, the case where thin film-ization of a bond wafer is performed with an ion-implantation separation method is explained. Here, drawing 2 shows an example of the production process of the SOI wafer in the case of performing thin film-ization of a bond wafer with an ion-implantation separation method.

[0059] The bond wafer 2 and the base wafer 3 which are a raw material wafer for manufacturing a SOI substrate by lamination first in drawing 2 are prepared ( drawing 2 (a)). Here, in this invention, the bond wafer 2 which forms a SOI layer at least pulls up the growth rate of the silicon single crystal by the above-mentioned Czochralski method as 0.6 or more mm/min, and uses it as the defect-free silicon wafer by which the content oxygen density was produced by the approach of performing reducibility heat treatment to the wafer which grew the silicon single

crystal rod with which COP or less ppmas exists in high density, was obtained from this single crystal rod with RTA equipment or a batch type heat treating furnace. Of course, it is good also considering two wafers as this defect-free silicon wafer.

[0060] And oxidation heat treatment is performed to the prepared silicon wafer, and an oxide film 4 is formed in a wafer front face ( drawing 2 (b)). Formation of the oxide film in this case is not necessarily performed to both wafers, but \*\* may also be good, may be formed only in the bond wafer 2, and may be formed only in the base wafer 3.

[0061] Next, to the field combined with the base wafer 3 of the bond wafer 2, a hydrogen ion or rare gas ion is poured in, and the minute air-bubbles layer (enclosure layer) 6 parallel to the front face of a bond wafer is formed ( drawing 2 (c)). Here, the bond wafer 2 is the prepared phase and, unlike the case where Hayes produced by heat treatment for obtaining a defect-free silicon wafer is ground after an ion implantation since it is removed by polish, a bad influence does not come out of it to the thickness homogeneity of a SOI layer.

[0062] And the base wafer 3 is piled up and stuck to the impregnation side of the bond wafer 2 which poured in a hydrogen ion or rare gas ion through an oxide film ( drawing 2 (d)). Wafers paste up by contacting the front faces of two wafers under the pure ambient atmosphere of ordinary temperature, without using adhesives etc.

[0063] Next, it separates into the exfoliation wafer 7 and the SOI wafer 1 by exfoliating bordering on the enclosure layer 6 ( drawing 2 (e)). This is separable into the exfoliation wafer 7 and the SOI wafer 1 with the rearrangement of a crystal, and condensation of air bubbles, if heat treatment is added at the temperature of about 500 degrees C or more for example, under an inert gas ambient atmosphere.

[0064] And in the bonding strength of the stuck wafers, since it is weak for using it at a device process as it is, as heat-of-linkage processing, hot heat treatment is performed to the SOI wafer 1, and let bond strength be sufficient thing ( drawing 2 (f)). This heat treatment should just perform heat treatment of 2 hours from 30 minutes at 1050 degrees C - 1200 degrees C for example, under an inert gas ambient atmosphere. In this way, the SOI wafer which has a defect-free SOI layer substantially can be obtained ( drawing 2 (g)).

[0065] As explained above, even if it is which approach, the manufacture approach of the SOI wafer of this invention can manufacture the SOI wafer of the high quality which has a defect-free SOI layer. And since there is no COP and a through tube does not occur in a SOI layer when thin-film-izing a SOI layer to 1 micrometer or less, especially this invention has the high value using the approach of this invention. And the SOI wafer manufactured by this approach is a SOI wafer of high quality with a SOI layer with high electric dependability, its yield of device production is high, and the utility value on industry is very high.

[0066]

[Example] Although the example and the example of a comparison of this invention are given and being explained concretely hereafter, this invention is not limited to these.

(An example 1, example 1 of a comparison) The bond wafer which forms a SOI layer from the silicon single crystal by the Czochralski method was produced, the base wafer used as this bond wafer and a support substrate was combined through the oxide film, thin film-ization of a bond wafer was performed after that, and the SOI wafer was manufactured.

[0067] In this example, the raising rate (SE) of the silicon single crystal by the Czochralski method was first made into 1.4 mm/min, and the content oxygen density (Oi) grew the silicon single crystal rod of 12ppma(s), and this single crystal rod was sliced, it was processed into the silicon wafer, and crystallographic-axis bearing produced the silicon wafer whose conductivity type is a p mold and whose diameter resistivity is 10 ohm-cm and is 200mm in <100>.

[0068] RTA equipment (SHS made from AST- 2800) was used for this silicon wafer, and heat treatment for 10 seconds was added to it at 1200 degrees C under the ambient atmosphere of 100% hydrogen. and the field which uses this silicon wafer as the bond wafer which forms a SOI layer, and is combined with the base wafer of this bond wafer -- polish cost -- 10nm polish was given and Hayes produced by heat treatment on the wafer front face was removed.

[0069] The SOI wafer whose thickness of a SOI layer is about 100nm was manufactured according to the process shown in drawing 2 (a) - (g) using this bond wafer. The main

manufacture conditions are as follows.

1) oxide film formation condition: — 75nm of bond wafer oxide film thickness, 325nm of base wafer oxide film thickness, 2 hydrogen-ion impregnation condition: impregnation energy 20keV, impregnation dosage  $8 \times 10^{16}$  atoms/cm<sup>2</sup>, and 3 exfoliation heat treatment condition: N<sub>2</sub> The bottom of a gas ambient atmosphere, and 500 degrees C, 30 minutes and 4 heat-of-linkage processing condition: N<sub>2</sub> The bottom of a gas ambient atmosphere, 1100 degrees C, and 2 hours. [0070] Thus, COP of the SOI layer of the manufactured SOI wafer was observed with HF dip method. In this HF dip method, if there is a defect which penetrates a SOI layer when a SOI wafer is first dipped in an HF50% water solution for about ten minutes, it will embed through this, HF will reach an oxide film, an oxide film will be etched, and an etch pit will be formed. And COP is observed by spacing a thin SOI layer and observing this etch pit formed in an oxide film with an optical microscope. It scans in the diameter direction on the front face of a wafer, and the microscope observation in this example is 2 a total of 20cm. The number of pits of a field was observed.

[0071] if the number of the observed pit is zero piece and it converts into a COP consistency as a result of this measurement — 0 piece/cm<sup>2</sup> it was . This measurement result shows that the SOI wafer which has a defect-free SOI layer substantially by the manufacture approach of this invention can be manufactured.

[0072] On the other hand, the silicon single crystal was grown up on the same conditions as the above-mentioned example 1 as an example 1 of a comparison, the silicon wafer was produced, and the SOI wafer was manufactured at the same process except not performing heat treatment by RTA equipment to a wafer. To the SOI wafer of this example 1 of a comparison, COP by HF dip method was observed as well as the example 1. if the number of the observed pit is 57 pieces and it converts into a COP consistency as a result of this measurement — 2.9 piece/cm<sup>2</sup> it was . From this measurement result, the fall of electric dependability and the fall of the device production yield are expected by the wafer of this example 1 of a comparison.

[0073] (An example 2, example 2 of a comparison) Except the oxygen density, the bond wafer which forms a SOI layer from the silicon single crystal by the Czochralski method was produced almost like the example 1, the base wafer used as this bond wafer and a support substrate was combined through the oxide film, thin film-ization of a bond wafer was performed after that, and the SOI wafer was manufactured.

[0074] In this example, except that content oxygen densities ( $O_i$ ) were 16ppma(s) first, the same silicon single crystal rod as an example 1 was grown up, this single crystal rod was sliced and it was processed into the silicon wafer, and crystal orientation is <100>, a conductivity type is a p mold and the silicon wafer whose resistivity is 10 ohm-cm and whose diameter is 200mm was produced.

[0075] The batch type heat treating furnace was used for this silicon wafer, and heat treatment for 60 minutes was added to it at 1200 degrees C under the ambient atmosphere of 100% hydrogen. and the field which uses this silicon wafer as the bond wafer which forms a SOI layer, and is combined with the base wafer of a bond wafer — polish cost — 10nm polish was given and Hayes produced by heat treatment on the front face of a wafer was removed.

[0076] The SOI wafer was manufactured according to the same process as an example 1, and manufacture conditions using this bond wafer. And COP of the SOI layer by HF dip method was observed as well as the example 1. if the number of the observed pit is six pieces and it converts into a COP consistency as a result of this measurement — 0.3 piece/cm<sup>2</sup> it was . This measurement result shows that the SOI wafer which has a SOI layer with very few defects by the manufacture approach of this invention can be manufactured.

[0077] On the other hand, the silicon single crystal was grown up on the same conditions as an example 2 as an example 2 of a comparison, the silicon wafer was produced, and the SOI wafer was manufactured at the same process except not performing heat treatment by the batch type heat treating furnace to a wafer. To the SOI wafer of this example 2 of a comparison, COP by HF dip method was observed as well as the example 2. if the number of the observed pit is 62 pieces and it converts into a COP consistency as a result of this measurement — 3.1 piece/cm<sup>2</sup> it was . From this measurement result, the fall of electric dependability and the fall of

the device production yield by COP are expected by the wafer of this example 2 of a comparison.

[0078] (An example 3, example 3 of a comparison) The bond wafer which forms a SOI layer from the silicon single crystal by the Czochralski method was produced, the base wafer used as this bond wafer and a support substrate was combined through the oxide film, thin film-ization of a bond wafer was performed after that, and the SOI wafer was manufactured.

[0079] In this example, except that the raising rates of silicon were 0.95 mm/min first and content oxygen densities (Oi) were 16ppma(s), the same silicon single crystal rod as an example 1 was grown up, this single crystal rod was sliced and it was processed into the silicon wafer, and crystal orientation is <100>, a conductivity type is a p mold and the silicon wafer whose resistivity is 10 ohm-cm and whose diameter is 200mm was produced.

[0080] The same heat treatment as an example 1 was added to this silicon wafer. and the field which uses this silicon wafer as the bond wafer which forms a SOI layer, and is combined with the base wafer of a bond wafer -- polish cost -- 10nm polish was performed and Hayes produced by heat treatment on the front face of a wafer was removed.

[0081] The SOI wafer was manufactured according to the process shown in drawing 1 (a) - (e) using this bond wafer. The main manufacture conditions are as follows.

1) oxide film formation condition: -- 150nm of bond wafer oxide film thickness, 0nm of base wafer oxide film thickness, and 2 heat-of-linkage processing condition: O<sub>2</sub> the polish cost after carrying out PACE processing until 3 grinding and polish condition: SOI layer membrane thickness are set to 4 micrometers under a gas ambient atmosphere for 1100 degrees C and 2 hours and grinding and polish, and 4 thin-film-ized condition: SOI layer membrane thickness are set to 110nm -- 10nm polish.

[0082] Thus, to the manufactured SOI wafer, COP of the SOI layer by HF dip method was observed as well as the example 1. if the number of the observed pit is one piece and it converts into a COP consistency as a result of this measurement -- 0.1 piece/cm<sup>2</sup> it was . This measurement result shows that the SOI wafer which has a defect-free SOI layer substantially by the manufacture approach of this invention can be manufactured.

[0083] On the other hand, the silicon single crystal was grown up on the same conditions as an example 3 as an example 3 of a comparison, the silicon wafer was produced, and the SOI wafer was manufactured at the same process except not performing heat treatment by RTA equipment to a wafer. To the SOI wafer of this example 3 of a comparison, COP by HF dip method was observed as well as the example 1. if the number of the observed pit is 43 pieces and it converts into a COP consistency as a result of this measurement -- 2.2 piece/cm<sup>2</sup> it was . From this measurement result, the fall of electric dependability and the fall of the device production yield are expected by the wafer of this example 3 of a comparison.

[0084] In addition, this invention is not limited to the above-mentioned operation gestalt. The above-mentioned operation gestalt is instantiation, and no matter it may be what thing which has the same configuration substantially with the technical thought indicated by the claim of this invention, and does the same operation effectiveness so, it is included by the technical range of this invention.

[0085] For example, although the above-mentioned operation gestalt explained focusing on the case where stick two silicon wafers and a SOI substrate is manufactured, this invention is effective in reducing the crystal defect of a SOI layer, also when sticking the silicon wafer produced by the Czochralski method, and an insulating substrate like a quartz, silicon carbide, silicon nitride, an alumina, sapphire, and other ceramic material and producing a SOI substrate, and it cannot be overemphasized that it can apply.

[0086] Moreover, although the bond wafer which forms a SOI layer explained focusing on the case where it is CZ wafer with a diameter of 200mm, with the above-mentioned operation gestalt, this invention is not limited to this, and this invention can be applied, when it is the large diameter of 200mm or more, or also when it is the small diameter of 150mm or less.

[0087] Furthermore, with the above-mentioned operation gestalt, after heat-treating to a bond wafer, the SOI wafer is produced, but after producing a SOI wafer using the bond wafer of the same specification, even if it performs same heat treatment, the same effectiveness as this

invention is acquired.

[0088]

[Effect of the Invention] As mentioned above, as explained in full detail, the SOI wafer which does not almost have COP in a SOI layer can be obtained by the sex from Takao by manufacturing a SOI wafer by the manufacture approach of the SOI wafer of this invention. Therefore, the electric dependability of a SOI wafer and the yield of device production can be raised.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] (a) - (e) shows an example of the production process of a SOI wafer in case grinding and the grinding method, and gas phase etching perform thin film-ization of a bond wafer.

[Drawing 2] (a) - (g) shows an example of the production process of the SOI wafer in the case of performing thin film-ization of a bond wafer with an ion-implantation separation method.

[Drawing 3] It is the schematic diagram having shown rapid heating and an example of equipment which can cool quickly for the wafer.

[Description of Notations]

1 [ 16 -- A support shaft, 17 / -- Stage, / 18 -- Silicon wafer, / 19 -- A motor, 20 / -- Thermal treatment equipment. ] -- SOI wafer 15 -- Base plate, 2 -- Bond wafer 3 [ 5 -- SOI layer 6 / -- Bell jar / 12 12' -- Heating heater 13 -- Housing, 14 -- Water-cooled chamber / -- A minute air-bubbles layer (enclosure layer), 7 -- An exfoliation wafer 11 ] -- A base wafer, 4 -- Oxide film

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

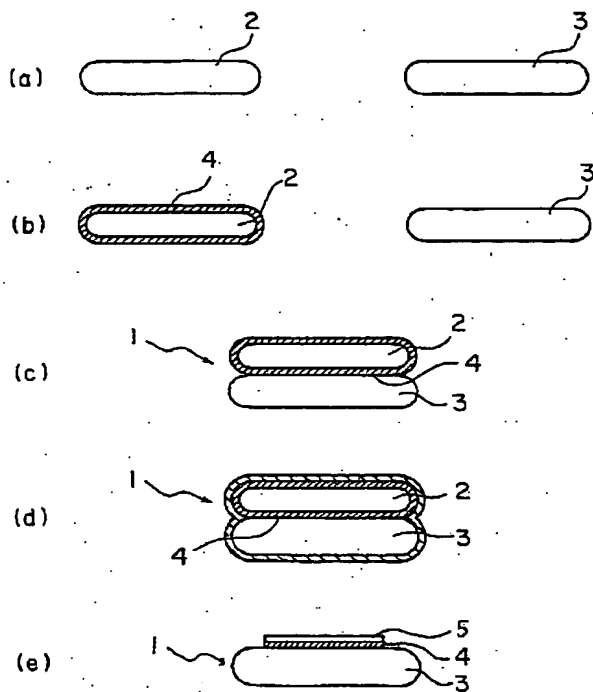
3.In the drawings, any words are not translated.

---

**DRAWINGS**

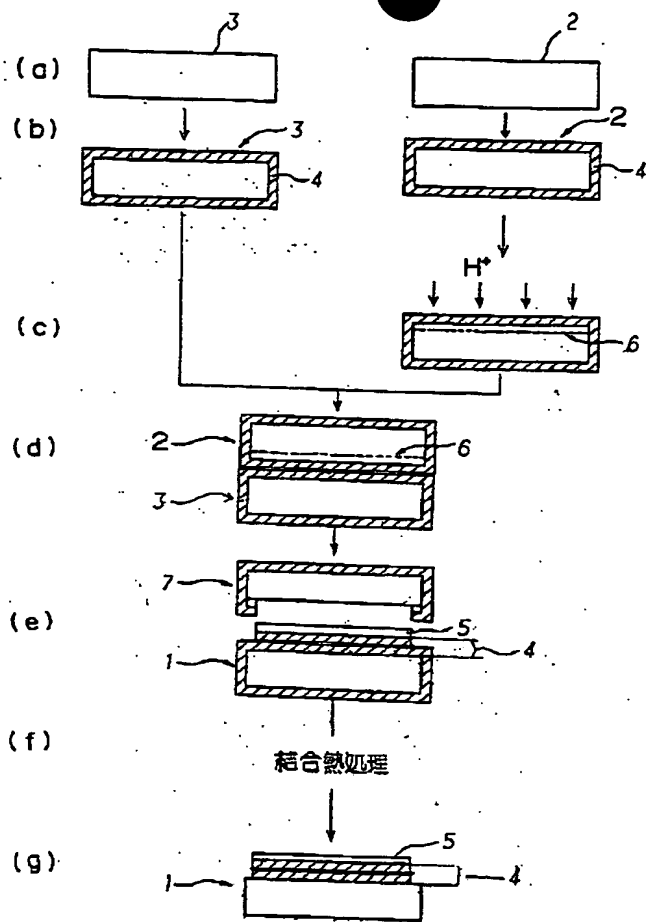
---

[Drawing 1]

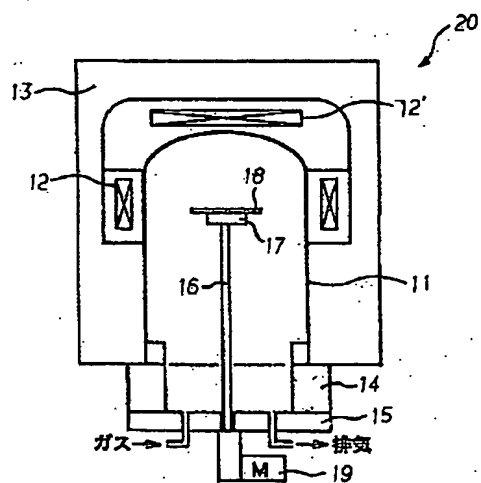


[Drawing 2]





[Drawing 3]



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2000-49063  
(P2000-49063A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl.	識別記号	F I	テマコード (参考)
H 0 1 L 21/02		H 0 1 L 21/02	B 4 G 0 7 7
C 3 0 B 29/06		C 3 0 B 29/06	A

審査請求 未請求 請求項の数 9 F D (全 12 頁)

(21) 出願番号	特願平10-228688	(71) 出願人	000190149 信越半導体株式会社 東京都千代田区丸の内1丁目4番2号
(22) 出願日	平成10年7月29日 (1998.7.29)	(72) 発明者	阿賀 浩司 群馬県安中市磯部2丁目13番1号 信越半 導体株式会社半導体磯部研究所内
		(72) 発明者	阿部 孝夫 群馬県安中市磯部2丁目13番1号 信越半 導体株式会社半導体磯部研究所内
		(74) 代理人	100102532 弁理士 好宮 幹夫

最終頁に続く

(54) 【発明の名称】 S O I ウエーハの製造方法および S O I ウエーハ

(57) 【要約】

【課題】 デバイス工程の歩留まりを向上させる S O I ウエーハの製造方法を提供する。

【解決手段】 ボンドウエーハとして、チョクラルスキー法によるシリコン単結晶の成長速度を  $0.6\text{ mm/min}$  以上として引き上げ、含有酸素濃度が  $16\text{ ppm}$  以下の C O P が高密度に存在するシリコン単結晶棒を成長し、該シリコン単結晶棒をシリコンウエーハに加工し、該シリコンウエーハに還元性雰囲気中の熱処理を加えたものを用いる S O I ウエーハの製造方法。この方法で製造された S O I ウエーハ。

## 【特許請求の範囲】

【請求項1】 チョクラスキー法によるシリコン単結晶からSOI層を形成するボンドウエーハを作製し、該ボンドウエーハと支持基板となるベースウエーハとを酸化膜を介して結合して、その後ボンドウエーハの薄膜化を行うSOIウエーハの製造方法において、

前記ボンドウエーハとして、チョクラスキー法によるシリコン単結晶の成長速度を $0.6\text{ mm/min}$ 以上として引き上げ、含有酸素濃度が $16\text{ ppm}$ 以下のCOPが高密度に存在するシリコン単結晶棒を成長し、該シリコン単結晶棒をスライスしてシリコンウエーハに加工し、該シリコンウエーハに還元性雰囲気中の熱処理を加えたものを用いることを特徴とするSOIウエーハの製造方法。

【請求項2】 チョクラスキー法によるシリコン単結晶からSOI層を形成するボンドウエーハを作製し、該ボンドウエーハと支持基板となるベースウエーハとを酸化膜を介して結合して、その後ボンドウエーハの薄膜化を行うSOIウエーハの製造方法において、

前記ボンドウエーハとして、チョクラスキー法によるシリコン単結晶の成長速度を $0.6\text{ mm/min}$ 以上として引き上げ、含有酸素濃度が $16\text{ ppm}$ 以下のCOPが高密度に存在するシリコン単結晶棒を成長し、該シリコン単結晶棒をスライスしてシリコンウエーハに加工し、該シリコンウエーハに急速加熱・急速冷却装置を用いて、還元性雰囲気中において $1200^\circ\text{C}$ 以上の温度で1秒間以上の熱処理を加えたものを用いることを特徴とするSOIウエーハの製造方法。

【請求項3】 チョクラスキー法によるシリコン単結晶からSOI層を形成するボンドウエーハを作製し、該ボンドウエーハと支持基板となるベースウエーハとを酸化膜を介して結合して、その後ボンドウエーハの薄膜化を行うSOIウエーハの製造方法において、

前記ボンドウエーハとして、チョクラスキー法によるシリコン単結晶の成長速度を $0.6\text{ mm/min}$ 以上として引き上げ、含有酸素濃度が $16\text{ ppm}$ 以下のCOPが高密度に存在するシリコン単結晶棒を成長し、該シリコン単結晶棒をスライスしてシリコンウエーハに加工し、該シリコンウエーハにパッチ式熱処理炉を用いて、還元性雰囲気中において $1200^\circ\text{C}$ 以上の温度で30分以上の熱処理を加えたものを用いることを特徴とするSOIウエーハの製造方法。

【請求項4】 前記熱処理を加えたボンドウエーハを、ベースウエーハと結合する前に研磨することを特徴とする請求項1ないし請求項3のいずれか1項に記載のSOIウエーハの製造方法。

【請求項5】 前記研磨は、研磨代 $5\sim 15\text{ nm}$ で研磨することを特徴とする請求項4に記載のSOIウエーハの製造方法。

【請求項6】 前記ボンドウエーハの薄膜化は、研削・

研磨法と気相エッチング法により行うことを特徴とする請求項1ないし請求項5のいずれか1項に記載のSOIウエーハの製造方法。

【請求項7】 前記ボンドウエーハの薄膜化は、イオン注入分離法により行うことを特徴とする請求項1ないし請求項5のいずれか1項に記載のSOIウエーハの製造方法。

【請求項8】 前記還元性雰囲気を、 $100\%$ 水素雰囲気、あるいは水素とアルゴンの混合雰囲気とすることを特徴とする請求項1ないし請求項7のいずれか1項に記載したSOIウエーハの製造方法。

【請求項9】 請求項1ないし請求項8に記載の製造方法により製造されたSOIウエーハ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チョクラスキー法によるシリコン単結晶からSOI層を形成するボンドウエーハを作製してSOIウエーハを製造する方法とこの方法により製造されたSOIウエーハに関する。

【0002】

【従来の技術】従来、チョクラスキー法によるシリコン単結晶から得られたウエーハ（以下CZウエーハと呼ぶ）をSOI層を形成するボンドウエーハに用いて、SOI（Silicon On Insulator）ウエーハを製造する場合において、CZウエーハに存在するCOP（Crystal Originated Particle）が問題となっている。

【0003】COPとは、結晶成長時に導入される結晶欠陥のひとつであり、正八面体構造の空洞型の欠陥であることがわかっている。このCOPは、鏡面研磨後のシリコンウエーハをアンモニアと過酸化水素の混合液で洗浄すると、ウエーハ表面にビットが形成され、このウエーハをパーティクルカウンターで測定すると、ビットも本来のパーティクルとともにパーティクルとして検出される。このようなビットを本来のパーティクルと区別するためにCOPと呼称されている。

【0004】このCOPが存在するCZウエーハをボンドウエーハに用いてSOIウエーハを製造すると、例えば、デバイスの重要な電気的特性である酸化膜の経時絶縁破壊特性（Time Dependent Dielectric Breakdown: TDDb）や通常の酸化膜耐圧（Time Zero Dielectric Breakdown: TZDB）に悪影響を及ぼす。

【0005】さらにCZウエーハ表面にあったCOPは薄いSOI層を貫通する穴となることがある。例えば、デバイス工程におけるエッチング工程や熱処理工程では、この穴から侵入したエッチャントや雰囲気ガスにより、埋め込み酸化膜がエッチングされたり、配線工程で段差が生じ、断線の原因となり、デバイス工程において

歩留まりの低下を招き問題であった。

【0006】このため、半導体基板の製造方法として、CZウエーハではなくFZウエーハをボンドウエーハに用いてSOIウエーハを製造する方法が考えられた。このFZウエーハにはCOPが無いという利点がある。しかし、現行では8インチ以上の大直径のウエーハを作製する技術が確立しておらず、近年の半導体基板の大直径化には対応できないという欠点がある。

【0007】また、CZウエーハ上に単結晶薄膜層を成長させたエピタキシャルウエーハをSOIウエーハのボンドウエーハとして用いる方法がある。このエピタキシャルウエーハもエピタキシャル層にCOPが無いという利点を有する。しかし、現行ではエピタキシャルウエーハを製造するコストは、通常のボンドウエーハを製造するコストに比べて高価であるという欠点がある。

【0008】そこで、CZウエーハを用いてSOIウエーハを製造する方法として、高温アニールを施してCOP密度を減少させたCZウエーハをボンドウエーハとして用いる方法が提案された（特開平10-84101号公報参照）。しかし、その典型的な条件である1200℃で60分の水素アニールを行っても、ウエーハ表面のCOPは完全には消滅せず若干残留しており、さらに比較的表面近傍にもCOPが残存してしまう。

【0009】さらに、水素アニールとは別のCOPを減少させる方法として考えられたのは、チョクラルスキー法によるシリコン単結晶の成長速度を遅くして結晶欠陥を減少させる方法である。この方法によれば、COPの数を減少させることができ、さらに、この方法によって得られたシリコンウエーハに水素アニールを施せば、より効果的にSOIウエーハ製造に用いられるシリコンウエーハ中のCOPを削減できると考えられた。しかし、この方法では、COPの数を減少させることはできるが、COPのサイズが大きくなってしまったため、このシリコン単結晶棒から得たウエーハを水素アニール処理しても、COPを完全に消滅させることはできなかった。

【0010】このように、CZウエーハに水素アニールを行ってもCOPを十分に消滅させることが困難であり、チョクラルスキー法によるシリコン単結晶の引上げ速度を遅くしてもCOPのサイズが大きくなるため、水素アニールしても消滅しにくいという状況に陥っているのが現状である。そのため、このCZウエーハを用いたSOIウエーハのデバイス工程の歩留まりを向上させることは現行では困難であった。

【0011】

【発明が解決しようとする課題】そこで、本発明はこのような問題点を鑑みなされたもので、本発明の目的とする所は、COP等のウエーハ表面、表層部に存在する結晶欠陥を最小限に抑える手法により作製されたCZウエーハをボンドウエーハに用いることにより、デバイス工程の歩留まりを向上させ得るSOIウエーハの製造方法

を提供しようとするものである。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明の請求項1に記載した発明は、チョクラルスキー法によるシリコン単結晶からSOI層を形成するボンドウエーハを作製し、該ボンドウエーハと支持基板となるベースウエーハとを酸化膜を介して結合して、その後ボンドウエーハの薄膜化を行うSOIウエーハの製造方法において、前記ボンドウエーハとして、チョクラルスキー法によるシリコン単結晶の成長速度を0.6mm/min以上として引き上げ、含有酸素濃度が16ppm以下のCOPが高密度に存在するシリコン単結晶棒を成長し、該シリコン単結晶棒をスライスしてシリコンウエーハに加工し、該シリコンウエーハに還元性雰囲気中の熱処理を加えたものを用いることを特徴とするSOIウエーハの製造方法である。

【0013】このように、CZウエーハをボンドウエーハとして用いるSOIウエーハの製造方法において、ボンドウエーハとして、チョクラルスキー法によるシリコン単結晶の成長速度を0.6mm/min以上として引き上げ、含有酸素濃度が16ppm以下のCOPが高密度に存在するシリコン単結晶棒を成長し、該シリコン単結晶棒をスライスしてシリコンウエーハに加工し、該シリコンウエーハに還元性雰囲気中の熱処理を加えたものを用いれば、SOIウエーハのSOI層はCOPが大幅に減少されたものとなり、SOIウエーハ製造工程やデバイス工程におけるエッチングや熱処理で、埋め込み酸化膜がエッチングされたり、配線工程で断線が起こることがなく、デバイス工程等の歩留まりを著しく向上させることができる。

【0014】また、本発明の請求項2に記載した発明は、チョクラルスキー法によるシリコン単結晶からSOI層を形成するボンドウエーハを作製し、該ボンドウエーハと支持基板となるベースウエーハとを酸化膜を介して結合して、その後ボンドウエーハの薄膜化を行うSOIウエーハの製造方法において、前記ボンドウエーハとして、チョクラルスキー法によるシリコン単結晶の成長速度を0.6mm/min以上として引き上げ、含有酸素濃度が16ppm以下のCOPが高密度に存在するシリコン単結晶棒を成長し、該シリコン単結晶棒をスライスしてシリコンウエーハに加工し、該シリコンウエーハに急速加熱・急速冷却装置を用いて、還元性雰囲気中において1200℃以上の温度で1秒間以上の熱処理を加えたものを用いることを特徴とするSOIウエーハの製造方法である。

【0015】このように、CZウエーハをボンドウエーハとして用いるSOIウエーハの製造方法において、ボンドウエーハとして、請求項1に記載した発明と同様の品質のシリコン単結晶棒からスライスして得たシリコンウエーハに、急速加熱・急速冷却装置を用いて、還元性

雰囲気中において1200℃以上の温度で1秒間以上の熱処理を加えたものを用いれば、SOIウエーハのSOI層はCOPが大幅に減少されたものとなり、SOIウエーハ製造工程やデバイス工程におけるエッチングや熱処理で、埋め込み酸化膜がエッチングされたり、配線工程で断線が起こることがなく、デバイス工程等の歩留まりを著しく向上させることができる。

【0016】ここで、急速加熱・急速冷却とは、前記温度範囲に設定された熱処理炉中にウエーハを直ちに投入し、前記熱処理時間の経過後、直ちに取出す方法や、ウエーハを熱処理炉内の設定位置に配置した後、ランプ加熱器等で直ちに加熱処理する方法である。この直ちに投入し、取出すというのは、従来より行われている一定時間での昇温、降温操作や熱処理炉内にウエーハを、ゆっくり投入し、取出すいわゆるローディング、アンローディング操作を行わないということである。ただし、炉内の所定位置まで運ぶには、ある程度の時間を有するのは当然であり、ウエーハを投入するための移動装置の能力に従い、数秒から数分間で行われる。このような機能をもった装置を急速加熱・急速冷却装置（Rapid Thermal Annealer、以下、RTA装置と略称することがある）という。

【0017】そして、本発明の請求項3に記載した発明は、チョクラスキー法によるシリコン単結晶からSOI層を形成するボンドウエーハを作製し、該ボンドウエーハと支持基板となるベースウエーハとを酸化膜を介して結合して、その後ボンドウエーハの薄膜化を行うSOIウエーハの製造方法において、前記ボンドウエーハとして、チョクラスキー法によるシリコン単結晶の成長速度を0.6mm/min以上として引き上げ、含有酸素濃度が16ppma以下のCOPが高密度に存在するシリコン単結晶棒を成長し、該シリコン単結晶棒をスライスしてシリコンウエーハに加工し、該シリコンウエーハにバッチ式熱処理炉を用いて、還元性雰囲気中において1200℃以上の温度で30分以上の熱処理を加えたものを用いることを特徴とするSOIウエーハの製造方法である。

【0018】このように、CZウエーハをボンドウエーハとして用いるSOIウエーハの製造方法において、ボンドウエーハとして、請求項1に記載した発明と同様の品質のシリコン単結晶棒からスライスして得たシリコンウエーハに、バッチ式熱処理炉を用いて、還元性雰囲気中において1200℃以上の温度で30分以上の熱処理を加えたものを用いれば、SOIウエーハのSOI層はCOPが大幅に減少されたものとなり、SOIウエーハ製造工程やデバイス工程におけるエッチングや熱処理で、埋め込み酸化膜がエッチングされたり、配線工程で断線が起こることがなく、デバイス工程等の歩留まりを著しく向上させることができる。

【0019】ここで、バッチ式熱処理炉とは、通常、縦

型熱処理炉に設けた複数の棚段に複数のウエーハを載置するものや、横型熱処理炉に設けたボートに複数のウエーハを仕込むものがあり、水素ガスを導入して比較的緩やかに昇温した後、所定温度で所定時間熱処理を施し、比較的ゆっくりと降温する、いわゆるバッチ式で熱処理する炉の事であり、一度に大量の熱処理が可能であり、温度の制御性に優れており、安定した操作が可能である。

【0020】この場合、請求項4に記載したように、還元性熱処理を加えたボンドウエーハを、ベースウエーハと結合する前に研磨することが好ましく、請求項5に記載したように、この研磨は研磨代5～15nmで研磨することが好ましい。これは、還元性熱処理を加えたウエーハの表面には、ヘイズと呼ばれる面粗れが生じるので、その表面を5～15nmほど研磨してから結合すると、熱処理により生じたヘイズを除去することができ、ボイド（未結合部）の発生率が低下するとともに結合強度を向上させることができるからである。

【0021】この場合、請求項6に記載したように、ボンドウエーハの薄膜化は、研削・研磨法と気相エッチング法により行うことができる。ここで、研削・研磨法と気相エッチング法とは、ボンドウエーハとベースウエーハとを酸化膜を介して結合した後、ボンドウエーハを所望のSOI層膜厚となるまで研削し、そのSOI層表面に研磨する方法、もしくはさらに気相エッチングを行うことにより、SOI層表面の表面粗さを改善するとともに膜厚を均一化する方法であり、ボンドウエーハの薄膜化を簡単に行うことができる。

【0022】なお、この気相エッチングには、例えばPACE（Plasma Assisted Chemical Etching）法のような、予めエッチングしようとするシリコン層の厚さの分布を測定して、厚さ分布のマップを作成し、そのマップにしたがって数値制御により厚い部分を局部的に気相エッチングにより除去することにより、極薄でかつ膜厚がきわめて均一な薄膜を作製する方法を挙げることができる。

【0023】この場合、請求項7に記載したように、ボンドウエーハの薄膜化は、イオン注入分離法により行うことができる。ここで、イオン注入分離法とは、ボンドウエーハとベースウエーハの2枚のウエーハのうち、少なくとも一方に酸化膜を形成すると共に、ボンドウエーハの上面から水素イオンまたは希ガスイオンを注入し、該ウエーハの内部に微小気泡層（封入層）を形成させた後、該イオンを注入した方の面を酸化膜を介してベースウエーハと密着させ、その後熱処理を加えて微小気泡層を劈開面としてボンドウエーハを薄膜状に分離することにより、ボンドウエーハの薄膜化を行う方法である（特開平5-211128号公報参照）。このような方法であれば、該劈開面は良好な鏡面であり、SOI層の膜厚の均一性も高いSOIウエーハを比較的容易に得ること

ができる。

【0024】そして、本発明の請求項8に記載したように、前記還元性雰囲気、100%水素雰囲気、あるいは水素とアルゴンの混合雰囲気とすれば、熱処理効果を十分に挙げ、COPを著しく減少させ、空洞をシリコンで埋めてほぼ無欠陥ウエーハとすることができる。

【0025】さらに、本発明の請求項9に記載した発明は、前記請求項1ないし請求項8に記載した製造方法により製造されたSOIウエーハである。このように、請求項1ないし請求項8に記載した製造方法により製造されたSOIウエーハは、SOI層のCOPが極めて少なく、実際に無欠陥SOIウエーハとすることができる。そのため、デバイスの信頼性は著しく向上し、歩留まりも向上する極めて高品質なSOIウエーハとすることができる。

【0026】以下、本発明につきさらに詳細に説明する。本発明者は、SOIウエーハのSOI層を形成するボンドウエーハに用いられるCZウエーハについて、このウエーハの表面あるいは内部に存在するCOPを減少させることができる製造条件につき、種々実験、調査を重ねた結果、これには、高速で単結晶を引上げて、低酸素濃度で、微小サイズのCOPが高密度に存在する単結晶棒を作製し、これから得たウエーハに水素アニール等の熱処理をすれば、COP密度は著しく減少し、このシリコンウエーハから無欠陥SOIウエーハを得ることができることを知見し、諸条件を精査して本発明を完成させたものである。

【0027】本発明の基本的な考え方は下記の知見に基づいている。本発明の発明者は先に、チョクラルスキー法の通常の条件で引上げたシリコン単結晶中のCOPには、厚さが2~4nmの薄い酸化膜で囲まれた正八面体の空洞が2~3個連結した構造で全体のサイズが100~300nmのオーダーであるツイン〜トリプレット型のCOPの他に、1個の独立した正八面体の空洞で全体のサイズが60~130nmのオーダーであり、酸化膜はツイン〜トリプレット型よりさらに薄いか存在しないシングル型のCOPが存在することを初めて発見した。

【0028】このシングル型とツイン〜トリプレット型のCOPの生成条件の違いは、チョクラルスキー法により高速で引上げ急冷すると、シングル型でサイズが小さいCOPが多数発生し、さらに低酸素濃度では、COP内壁の酸化膜が極めて薄いか付いていないシングル型COPが生成される。逆に低速で引上げ、ゆっくり冷却するとツイン〜トリプレット型のCOPに成長して数は減少するが、COP内壁の酸化膜は厚くなっていく傾向がある。

【0029】そこで、上記現象をさらに詳細に解析した結果、従来はCOP等の欠陥を減らすために低速で単結晶成長を行い、残留している大きなツイン〜トリプレット型COPを、ウエーハになってから水素アニールによ

って消滅させようとしていたことが解った。これでは1個のCOPが大き過ぎる上に、その表面に厚い酸化膜があるので、水素アニールによって消滅させることが困難である。これに対して、本発明では、逆に高速で、含有酸素濃度の低い単結晶を成長させ、微小で表面に酸化膜のないCOPか、あるいは酸化膜があっても薄いシングル型COPを多数発生させた単結晶棒を作り、その後ウエーハに水素アニール等による熱処理を施せば、COPは容易にかつ完全に消滅できると考えたものである。

【0030】本発明では、シリコン単結晶成長条件の内、引上げ速度は、0.6mm/min以上、より好ましくは0.8mm/min以上の高速として、COPの個数が多いが、サイズが例えば60~130nmと小さいシングル型のものが多いものとし、極力ツイン〜トリプレット型に成長しないようにした。従って、本発明ではより好ましくは、例えば1.0mm/min以上といった、引上げ結晶の直径に応じて可能な限り高速で結晶を成長させるのが望ましい。0.6mm/min未満では、緩速冷却となってツイン〜トリプレット型COPに成長し個数は減少するが、COP内壁の酸化膜も厚くなるので好ましくない。このシングル型COP1個のサイズは、60~130nm程度で、内壁の酸化膜は低酸素濃度では成長していない場合が多い。

【0031】シリコン単結晶棒の品質として、含有酸素濃度を16ppma(JEIDA)以下、好ましくは10ppma以下とする。16ppmaを超えると生成したCOP内壁の酸化膜が厚くなり、その後の熱処理でのCOPの消滅が不完全になったり、熱処理時間が長くなる等、SOIウエーハの品質や生産性に影響するようになる。

【0032】シリコン単結晶棒の含有酸素濃度を制御するには、単結晶引上げ炉における、不活性ガス流量、ルツボの回転数、成長単結晶の回転速度、シリコン融液の温度等を適切に制御する等、従来公知の方法で簡単に達成することができる。

【0033】続いて、上記シリコン単結晶棒をスライスして得たシリコンウエーハを、還元性雰囲気中の熱処理を施すことでCOPを著しく減少させることができる。COP密度を実質的に零にすることも可能である。そして、この熱処理したウエーハを、SOI層を形成するボンドウエーハに用いることにより、実質的に無欠陥のSOI層を有するSOIウエーハを製造することができるのである。

【0034】また、上記シリコン単結晶棒をスライスして得たシリコンウエーハを急速加熱・急速冷却装置(RTA装置)またはバッチ式熱処理炉を用いて、熱処理を水素濃度100%あるいは水素とアルゴンとの混合の還元性雰囲気下で、1200℃以上の温度で、RTA装置では1秒間以上、バッチ式熱処理炉では30分間以上、滞在させることでCOPを著しく減少させることができ

る。特に、この熱処理条件によればCOP密度を実質的に零にすることも可能である。そして、この熱処理したウエーハを、SOI層を形成するボンドウエーハに用いることにより、実質的に無欠陥のSOI層を有するSOIウエーハを製造することができる。

【0035】また、発明者は上記のようにして得られた無欠陥CZシリコンウエーハをSOIウエーハのボンドウエーハとして適用した場合について調査を行ったところ、この熱処理を加えたボンドウエーハをベースウエーハと酸化膜を介して結合する前に、ボンドウエーハの表面を研磨代5～15nm程度で研磨することが好適であることを見出した。

【0036】水素アニール等の熱処理を施されたボンドウエーハの表面には、一般にヘイズと呼ばれる、高密度の極めて小さな底の浅いビット（窪み）により面粗れが生じる。このヘイズは、その後にベースウエーハと結合する際にボイドが発生する原因となる。このボイドにより、ボンドウエーハとベースウエーハとの結合が不良となることもある。そこで、熱処理を行った後に、ボンドウエーハの表面を5～15nm程度の少ない研磨代で研磨しておけば、このヘイズは完全に除去することができ、結合強度を強化することもできる。尚、熱処理によるCOPの低減効果は、ボンドウエーハの表面に近い程、顕著であるので、この研磨代はヘイズが除去できる範囲で少ない方がよい。

【0037】そして、ボンドウエーハの薄膜化を行いSOI層を形成するが、このボンドウエーハの薄膜化は、通常の研磨・研削法と気相エッチング法により行うこともできるし、イオン注入分離法により行うこともできる。

【0038】ここで、イオン注入分離法によりボンドウエーハの薄膜化を行う場合は、前述の熱処理により生じたヘイズを除去する研磨を行った後に、研磨された面にイオンを注入することが好ましい。これは、注入後に研磨すると研磨の取り代のバラツキが、注入深さの分布を悪化させ、結果的に、SOI層の膜厚均一性が悪化してしまうことがあるからである。このヘイズ除去のための研磨後にイオンを注入すれば、SOI層の膜厚均一性が悪化することを防止できる。

【0039】

【発明の実施の形態】以下、本発明の実施形態につき説明するが、本発明はこれらに限定されるものではない。本発明の熱処理工程で用いられる、シリコンウエーハを急速加熱・急速冷却できる装置の加熱方式としては、熱放射によるランプ加熱方式、レーザ光線によるレーザ加熱方式、X線によるX線加熱方式および抵抗加熱方式によるヒーターのような装置を挙げることができる。市販されているものとして、例えばAST社製、SHS-2800のような装置を挙げることができ、これらは特別複雑で高価なものではない。

【0040】ここで、本発明で用いたシリコン単結晶ウエーハの急速加熱・急速冷却装置（RTA装置）の一例を示す。図3は、RTA装置の概略図である。図3の熱処理装置20は、例えば炭化珪素あるいは石英からなるベルジャ11を有し、このベルジャ11内でウエーハを熱処理するようになっている。加熱は、ベルジャ11を囲繞するように配置される加熱ヒータ12、12'によって行う。この加熱ヒータは上下方向で分割されており、それぞれ独立に供給される電力を制御できるようになっている。もちろん加熱方式は、これに限定されるものではなく、いわゆる輻射加熱、高周波加熱方式等としてもよい。加熱ヒータ12、12'の外側には、熱を遮蔽するためのハウジング13が配置されている。

【0041】炉の下方には、水冷チャンバ14とベースプレート15が配置され、ベルジャ11内と、外気とを封鎖している。そしてウエーハ18はステージ17上に保持されるようになっており、ステージ17はモータ19によって上下動自在な支持軸16の上端に取りつけられている。水冷チャンバ14には横方向からウエーハを炉内に出し入れできるように、ゲートバルブによって開閉可能に構成される不図示のウエーハ挿入口が設けられている。また、ベースプレート15には、ガス流入口と排気口が設けられており、炉内ガス雰囲気調整できるようになっている。

【0042】以上のような熱処理装置20によって、ウエーハの急速加熱・急速冷却する熱処理は次のように行われる。まず、加熱ヒータ12、12'によってベルジャ11内を、例えば1200℃以上の所望温度に加熱し、その温度に保持する。分割された加熱ヒータそれぞれを独立して供給電力を制御すれば、ベルジャ11内を高さ方向に沿って温度分布をつけることができる。したがって、ウエーハの処理温度は、ステージ17の位置、すなわち支持軸16の炉内への挿入量によって決定することができる。

【0043】ベルジャ11内が所望温度で維持されたなら、熱処理装置20に隣接して配置される、不図示のウエーハハンドリング装置によってウエーハを水冷チャンバ14の挿入口から入れ、最下端位置で待機させたステージ17上に例えばSiCボートを介してウエーハを乗せる。この時、水冷チャンバ14およびベースプレート15は水冷されているので、ウエーハはこの位置では高温化しない。

【0044】そして、ウエーハのステージ17上への載置が完了したなら、すぐにモータ19によって支持軸16を炉内に挿入することによって、ステージ17を1200℃以上の所望温度位置まで上昇させ、ステージ上のウエーハに高温熱処理を加える。この場合、水冷チャンバ14内のステージ下端位置から、所望温度位置までの移動には、例えば20秒程度しかかからないので、ウエーハは急速に加熱されることになる。

【0045】そして、ステージ17を所望温度位置で、所定時間停止（1秒間以上）させることによって、ウエーハに停止時間分の高温熱処理を加えることができる。所定時間が経過し高温熱処理が終了したなら、すぐにモータ19によって支持軸16を炉内から引き抜くことによって、ステージ17を下降させ水冷チャンバ14内の下端位置とする。この下降動作も、例えば20秒程度で行うことができる。ステージ17上のウエーハは、水冷チャンバ14およびベースプレート15が水冷されているので、急速に冷却される。最後に、ウエーハハンドリング装置によって、ウエーハを取り出すことによって、熱処理を完了する。さらに熱処理するウエーハがある場合には、熱処理装置20の温度を降温させてないので、次々にウエーハを投入し連続的に熱処理をすることができる。

【0046】熱処理の還元性雰囲気は、水素ガス100%とすることができるが、水素の還元力を調整する、あるいはスリップ転位の発生を抑制する、その他安全上等の理由からアルゴンとの混合気としてもよい。熱処理の温度条件は1200℃以上とし、処理時間は1秒間以上とした。1200℃未満ではCOPをほぼ完全に消滅させることが難しいし、1秒未満の短時間では熱処理効果が得られない。

【0047】このように、本発明のサイズの小さいCOPを有するウエーハにRTA装置を用いて熱処理して得られたウエーハは、特に表面のCOPが殆ど消滅しており、無欠陥シリコンウエーハとすることができる。従って、この熱処理したウエーハをボンドウエーハとしてSOIウエーハを製造すれば、無欠陥SOI層を有するSOIウエーハを製造でき、デバイス作製の歩留まりを向上させることができる。RTA装置の場合は、昇温レートが極めて速く、COPが消滅する温度になるのに要する時間が極めて短いため、多数のシングル型COPが存在しても容易に高温になり、COPが消滅するものと考えられる。

【0048】別の熱処理装置としてバッチ式熱処理炉を使用することもできる。ここで、バッチ式熱処理炉とは、通常、縦型または横型の熱処理炉に複数のウエーハを載置し、水素ガスを導入して比較的緩やかに昇温した後、所定温度で所定時間熱処理を施し、比較的ゆっくりと降温する、いわゆるバッチ式の熱処理炉である。このバッチ式熱処理炉は、一度に大量の熱処理が可能であり、温度の制御性に優れており、安定した操作が可能である。

【0049】バッチ式熱処理炉による水素アニール等の熱処理条件は、基本的には上記RTA装置の場合と変わらず、水素ガス100%雰囲気下、あるいはアルゴンとの混合雰囲気下1200℃以上で処理するが、熱処理時間は30分間以上が望ましい。30分未満では熱処理効果が十分挙げられず、COPはあまり消滅しない。

【0050】このように、バッチ式熱処理炉によっても、本発明のサイズの小さいCOPを有するウエーハに熱処理して得られたウエーハのCOPは殆ど消滅しており、無欠陥シリコン単結晶ウエーハを製造することができる。従って、この熱処理したウエーハをボンドウエーハとしてSOIウエーハを製造すれば、無欠陥SOI層を有するSOIウエーハを製造でき、デバイス作製の歩留まりを向上させることができる。

【0051】また、別の測定方法によると、ウエーハ表面から約0.5μm深さまでのウエーハ表層部のCOPの総数に関しては、バッチ式熱処理炉で処理した方がRTA装置で処理した場合の約半分と有利な結果が得られており、目的に応じて、RTA装置と使い分けることができる。

【0052】このようにして得られたシリコンウエーハに、上記還元性の熱処理により生じたヘイズを除去する研磨を行い、SOIウエーハのSOI層を形成するボンドウエーハを得るのが望ましい。以下に、このボンドウエーハとベースウエーハとを酸化膜を介して結合して、その後ボンドウエーハの薄膜化を行い、SOIウエーハを製造する方法について、図面を参照して説明するが、本発明はこれらに限定されるものではない。

【0053】まず、ボンドウエーハの薄膜化を、研削・研磨法と気相エッチング法により行う場合について説明する。ここで、図1は、ボンドウエーハの薄膜化を、研削・研磨法と気相エッチング法により行う場合のSOIウエーハの製造工程の一例を示したものである。

【0054】図1においてまず、貼り合せによりSOI基板を製造するための原料ウエーハであるボンドウエーハ2及びベースウエーハ3を用意する（図1(a)）。ここで、本発明では少なくともSOI層を形成するボンドウエーハ2は、前述のチョクラルスキー法によるシリコン単結晶の成長速度を0.6mm/min以上として引き上げ、含有酸素濃度が16ppm以下のCOPが高密度に存在するシリコン単結晶棒を成長し、この単結晶棒から得られたウエーハにRTA装置あるいはバッチ式熱処理炉により還元性熱処理を施す方法で作製された無欠陥シリコンウエーハとする。もちろん、二枚のウエーハをこの無欠陥シリコンウエーハとしても良い。

【0055】そして、用意されたシリコンウエーハの少なくとも一方に酸化熱処理を施し、ウエーハ表面に酸化膜4を形成する（図1(b)）。この場合の酸化膜の形成は、必ずしも両方のウエーハに行わずともよく、ボンドウエーハ2のみに形成してもよく、ベースウエーハ3のみに形成しても良い。

【0056】次に、この酸化膜を形成したボンドウエーハ2とベースウエーハ3を清浄な雰囲気下で密着させる（図1(c)）。これに酸化性雰囲気下で熱処理を加えて、ボンドウエーハ2とベースウエーハ3を強固に結合させ、SOI基板1とする。この時、ボンドウエーハ2



とベースウエーハ3が強固に結合される(図1(d))。この二枚のウエーハを強固に結合させるための熱処理の熱処理条件としては、例えば、酸素または水蒸気を含む雰囲気下、200℃～1200℃の温度で行えばよい。

【0057】次に、図1(e)に示すように、ボンドウエーハ2の表面を通常の方法に従い研削・研磨と気相エッチングにより、所望厚さまで薄膜化すれば、実質的に無欠陥のSOI層5を有するSOI基板1を製造することができる。この場合、前記したPACE法によりエッチングを行うとSOI層の平坦度は極めて良好なものとなる。

【0058】一方、ボンドウエーハの薄膜化を、イオン注入分離法により行う場合について説明する。ここで、図2は、ボンドウエーハの薄膜化を、イオン注入分離法により行う場合のSOIウエーハの製造工程の一例を示したものである。

【0059】図2においてまず、貼り合せによりSOI基板を製造するための原料ウエーハであるボンドウエーハ2及びベースウエーハ3を用意する(図2(a))。ここで、本発明では少なくともSOI層を形成するボンドウエーハ2は、前述のチョクラスキー法によるシリコン単結晶の成長速度を0.6mm/min以上として引き上げ、含有酸素濃度が16ppma以下のCOPが高密度に存在するシリコン単結晶棒を成長し、この単結晶棒から得られたウエーハにRTA装置あるいはパッチ式熱処理炉により還元性熱処理を施す方法で作製された無欠陥シリコンウエーハとする。もちろん、二枚のウエーハをこの無欠陥シリコンウエーハとしても良い。

【0060】そして、用意されたシリコンウエーハに酸化熱処理を施し、ウエーハ表面に酸化膜4を形成する(図2(b))。この場合の酸化膜の形成は、必ずしも両方のウエーハに行わずともよく、ボンドウエーハ2のみに形成してもよく、ベースウエーハ3のみに形成しても良い。

【0061】次に、ボンドウエーハ2のベースウエーハ3と結合する面に対して、水素イオンまたは希ガスイオンを注入し、ボンドウエーハの表面に平行な微小気泡層(封入層)6を形成する(図2(c))。ここで、ボンドウエーハ2は、用意された段階で、無欠陥シリコンウエーハを得るための熱処理により生じたヘイズを研磨により除去されているので、イオン注入後に研磨する場合とは異なり、SOI層の膜厚均一性に悪影響がでることがない。

【0062】そして、水素イオンまたは希ガスイオンを注入したボンドウエーハ2の注入面に、ベースウエーハ3を酸化膜を介して重ね合わせて密着させる(図2(d))。常温の清浄な雰囲気下で二枚のウエーハの表面同士を接触させることにより、接着剤等を用いることなくウエーハ同士が接着する。

【0063】次に、封入層6を境界として剥離することにより、剥離ウエーハ7とSOIウエーハ1に分離する(図2(e))。これは、例えば不活性ガス雰囲気下約500℃以上の温度で熱処理を加えれば、結晶の再配列と気泡の凝集によって剥離ウエーハ7とSOIウエーハ1とに分離することができる。

【0064】そして、密着させたウエーハ同士の結合力では、そのままデバイス工程で使用するには弱いので、結合熱処理としてSOIウエーハ1に高温の熱処理を施し結合強度を十分なものとする(図2(f))。この熱処理は例えば不活性ガス雰囲気下、1050℃～1200℃で30分から2時間の熱処理を行えば良い。こうして、実質的に無欠陥のSOI層を有するSOIウエーハを得ることができる(図2(g))。

【0065】以上説明したように、いずれの方法であっても本発明のSOIウエーハの製造方法は、無欠陥のSOI層を有する高品質のSOIウエーハを製造することができる。そして、本発明は、特にSOI層を1μm以下まで薄膜化する場合に、COPがないためにSOI層に貫通孔が発生することがないので、本発明の方法を用いる価値が高い。そして、この方法により製造されたSOIウエーハは、電気的信頼性の高いSOI層をもつ高品質のSOIウエーハであり、デバイス作製の歩留まりが高く、産業上の利用価値はすこぶる高い。

【0066】

【実施例】以下、本発明の実施例と比較例を挙げて具体的に説明するが、本発明はこれらに限定されるものではない。

(実施例1、比較例1)チョクラスキー法によるシリコン単結晶からSOI層を形成するボンドウエーハを作製し、該ボンドウエーハと支持基板となるベースウエーハとを酸化膜を介して結合して、その後ボンドウエーハの薄膜化を行いSOIウエーハを製造した。

【0067】本実施例では、まずチョクラスキー法によるシリコン単結晶の引き上げ速度(SE)を、1.4mm/minとし、含有酸素濃度(Oi)が12ppmaのシリコン単結晶棒を成長し、この単結晶棒をスライスしてシリコンウエーハに加工し、結晶軸方位が〈100〉で、導電型がp型であり、抵抗率が10Ω・cm、直径が200mmのシリコンウエーハを作製した。

【0068】このシリコンウエーハに、RTA装置(AST社製SHS-2800)を用いて、100%水素の雰囲気下において、1200℃で10秒の熱処理を加えた。そして、このシリコンウエーハをSOI層を形成するボンドウエーハとし、このボンドウエーハのベースウエーハと結合する面に研磨代10nmの研磨を施し、ウエーハ表面に熱処理により生じたヘイズを除去した。

【0069】このボンドウエーハを用いて、図2(a)～(g)に示す工程により、SOI層の厚さが約100nmのSOIウエーハを製造した。主な製造条件は以下

の通りである。

- 1) 酸化膜形成条件：ボンドウエーハ酸化膜厚75nm、ベースウエーハ酸化膜厚325nm、
- 2) 水素イオン注入条件：注入エネルギー20keV、注入線量 $8 \times 10^{16}$  atoms/cm<sup>2</sup>、
- 3) 剥離熱処理条件：N<sub>2</sub>、ガス雰囲気下、500℃、30分、
- 4) 結合熱処理条件：N<sub>2</sub>、ガス雰囲気下、1100℃、2時間。

【0070】このようにして製造されたSOIウエーハのSOI層のCOPをHFディップ法により観察した。このHFディップ法では、まずSOIウエーハをHF50%水溶液に、十数分間浸すと、SOI層を貫通する欠陥があれば、これを通して埋め込み酸化膜にHFが到達して酸化膜がエッチングされ、エッチビットが形成される。そして酸化膜に形成されるこのエッチビットを、薄いSOI層を透して光学顕微鏡で観察することによりCOPを観察する。本実施例における顕微鏡観察は、ウエーハ表面の直径方向にスキャンして、合計20cm<sup>2</sup>の領域のビット数を観察した。

【0071】この測定の結果、観察されたビットの個数は、0個であり、COP密度に換算すると0個/cm<sup>2</sup>であった。この測定結果より、本発明の製造方法によって実質的に無欠陥のSOI層を有するSOIウエーハを製造することができることが判る。

【0072】一方、比較例1として、上記実施例1と同一の条件でシリコン単結晶を成長させ、シリコンウエーハを作製し、ウエーハにRTA装置による熱処理を行わないこと以外は同一の工程でSOIウエーハを製造した。この比較例1のSOIウエーハに、実施例1と同じくHFディップ法によるCOPの観察を行った。この測定の結果、観察されたビットの個数は、57個であり、COP密度に換算すると2.9個/cm<sup>2</sup>であった。この測定結果から、この比較例1のウエーハには、電気的信頼性の低下やデバイス作製歩留まりの低下が予想される。

【0073】(実施例2、比較例2)酸素濃度以外は、実施例1とはほぼ同様に、チョクラルスキー法によるシリコン単結晶からSOI層を形成するボンドウエーハを作製し、該ボンドウエーハと支持基板となるベースウエーハとを酸化膜を介して結合して、その後ボンドウエーハの薄膜化を行いSOIウエーハを製造した。

【0074】本実施例においては、まず含有酸素濃度(Oi)が16ppmaである以外は実施例1と同様のシリコン単結晶棒を成長し、この単結晶棒をスライスしてシリコンウエーハに加工し、結晶方位が〈100〉で、導電型がp型であり、抵抗率が10Ω・cm、直径が200mmのシリコンウエーハを作製した。

【0075】このシリコンウエーハに、バッチ式熱処理炉を用いて、100%水素の雰囲気下において、120

0℃で60分の熱処理を加えた。そして、このシリコンウエーハをSOI層を形成するボンドウエーハとし、ボンドウエーハのベースウエーハと結合する面に研磨代10nmの研磨を施し、ウエーハ表面の熱処理により生じたヘイズを除去した。

【0076】このボンドウエーハを用いて、実施例1と同一の工程、製造条件により、SOIウエーハを製造した。そして、実施例1と同じくHFディップ法によるSOI層のCOPの観察を行った。この測定の結果、観察されたビットの個数は、6個であり、COP密度に換算すると0.3個/cm<sup>2</sup>であった。この測定結果より、本発明の製造方法によってきわめて欠陥の少ないSOI層を有するSOIウエーハを製造することができることが判る。

【0077】一方、比較例2として、実施例2と同一の条件でシリコン単結晶を成長させ、シリコンウエーハを作製し、ウエーハにバッチ式熱処理炉による熱処理を行わないこと以外は同一の工程でSOIウエーハを製造した。この比較例2のSOIウエーハに、実施例2と同じくHFディップ法によるCOPの観察を行った。この測定の結果、観察されたビットの個数は、62個であり、COP密度に換算すると3.1個/cm<sup>2</sup>であった。この測定結果から、この比較例2のウエーハには、COPによる電気的信頼性の低下やデバイス作製歩留まりの低下が予想される。

【0078】(実施例3、比較例3)チョクラルスキー法によるシリコン単結晶からSOI層を形成するボンドウエーハを作製し、該ボンドウエーハと支持基板となるベースウエーハとを酸化膜を介して結合して、その後ボンドウエーハの薄膜化を行いSOIウエーハを製造した。

【0079】本実施例においては、まずシリコンの引き上げ速度が0.95mm/minであり、含有酸素濃度(Oi)が16ppmaである以外は実施例1と同様のシリコン単結晶棒を成長し、この単結晶棒をスライスしてシリコンウエーハに加工し、結晶方位が〈100〉で、導電型がp型であり、抵抗率が10Ω・cm、直径が200mmのシリコンウエーハを作製した。

【0080】このシリコンウエーハに、実施例1と同一の熱処理を加えた。そして、このシリコンウエーハをSOI層を形成するボンドウエーハとし、ボンドウエーハのベースウエーハと結合する面に研磨代10nmの研磨を行い、ウエーハ表面の熱処理により生じたヘイズを除去した。

【0081】このボンドウエーハを用いて、図1(a)～(e)に示す工程により、SOIウエーハを製造した。主な製造条件は以下の通りである。

- 1) 酸化膜形成条件：ボンドウエーハ酸化膜厚150nm、ベースウエーハ酸化膜厚0nm、
- 2) 結合熱処理条件：O<sub>2</sub>、ガス雰囲気下、1100℃、

2時間、

3) 研削・研磨条件: SOI層膜厚が4  $\mu\text{m}$ になるまで研削・研磨、

4) 薄膜化条件: SOI層膜厚が110nmになるまでPAC加工した後、研磨代10nmの研磨。

【0082】このようにして製造されたSOIウエーハに、実施例1と同じくHFディップ法によるSOI層のCOPの観察を行った。この測定の結果、観察されたピットの個数は、1個であり、COP密度に換算すると0.1個/ $\text{cm}^2$ であった。この測定結果より、本発明の製造方法によって実質的に無欠陥のSOI層を有するSOIウエーハを製造することができることが判る。

【0083】一方、比較例3として、実施例3と同一の条件でシリコン単結晶を成長させ、シリコンウエーハを作製し、ウエーハにRTA装置による熱処理を行わないこと以外は同一の工程でSOIウエーハを製造した。この比較例3のSOIウエーハに、実施例1と同じくHFディップ法によるCOPの観察を行った。この測定の結果、観察されたピットの個数は、43個であり、COP密度に換算すると2.2個/ $\text{cm}^2$ であった。この測定結果から、この比較例3のウエーハには、電気的信頼性の低下やデバイス作製歩留まりの低下が予想される。

【0084】なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【0085】例えば、上記実施形態では二枚のシリコンウエーハを貼り合わせて、SOI基板を製造する場合を中心に説明したが、本発明はチョクラスキー法により作製されたシリコンウエーハと石英、炭化珪素、窒化珪素、アルミナ、サファイア、その他のセラミック材のような絶縁基板とを貼り合わせてSOI基板を作製する場合にも、SOI層の結晶欠陥を低減するのに有効であり、適用可能であることはいうまでもない。

【0086】また、上記実施形態では、SOI層を形成するボンドウエーハが、直径200mmのCZウエーハである場合を中心に説明したが、本発明はこれに限定されるものではなく、200mm以上の大直径である場合や、150mm以下の小直径である場合にも、本発明は適用可能である。

【0087】更に、上記実施形態ではボンドウエーハに熱処理を行ってからSOIウエーハを作製しているが、同じ仕様のボンドウエーハを用いてSOIウエーハを作製してから同様の熱処理を行っても、本発明と同様の効果が得られる。

【0088】

【発明の効果】以上、詳述したように、本発明のSOIウエーハの製造方法によりSOIウエーハを製造することによって、SOI層中のCOPがほとんど無いSOIウエーハを高生産性で得ることができる。そのため、SOIウエーハの電気的信頼性やデバイス作製の歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】(a)～(e)は、ボンドウエーハの薄膜化を、研削・研磨法と気相エッチングにより行う場合のSOIウエーハの製造工程の一例を示したものである。

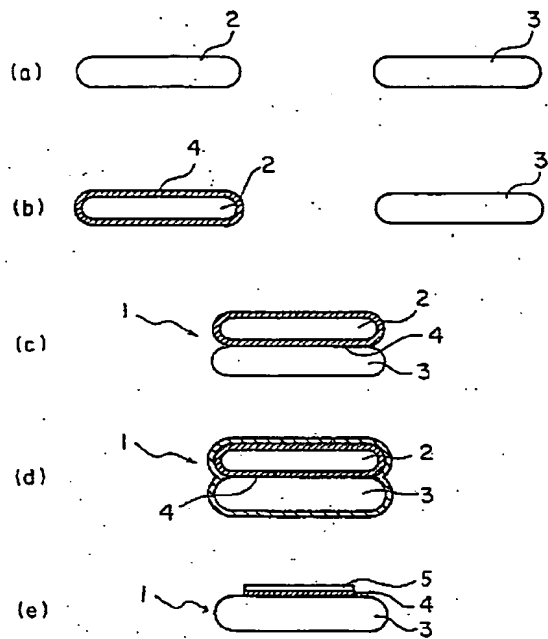
【図2】(a)～(g)は、ボンドウエーハの薄膜化を、イオン注入分離法により行う場合のSOIウエーハの製造工程の一例を示したものである。

【図3】ウエーハを急速加熱・急速冷却できる装置の一例を示した概略図である。

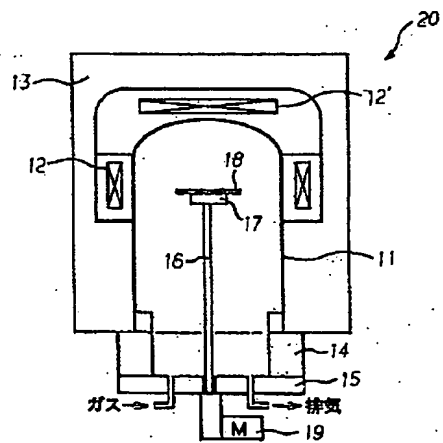
【符号の説明】

1…SOIウエーハ、 2…ボンドウエーハ、 3…ベースウエーハ、 4…酸化膜、 5…SOI層、 6…微小気泡層(封入層)、 7…剥離ウエーハ、 11…ベルジヤ、 12, 12'…加熱ヒータ、 13…ハウジング、 14…水冷チャンバ、 15…ベースプレート、 16…支持軸、 17…ステージ、 18…シリコンウエーハ、 19…モータ、 20…熱処理装置。

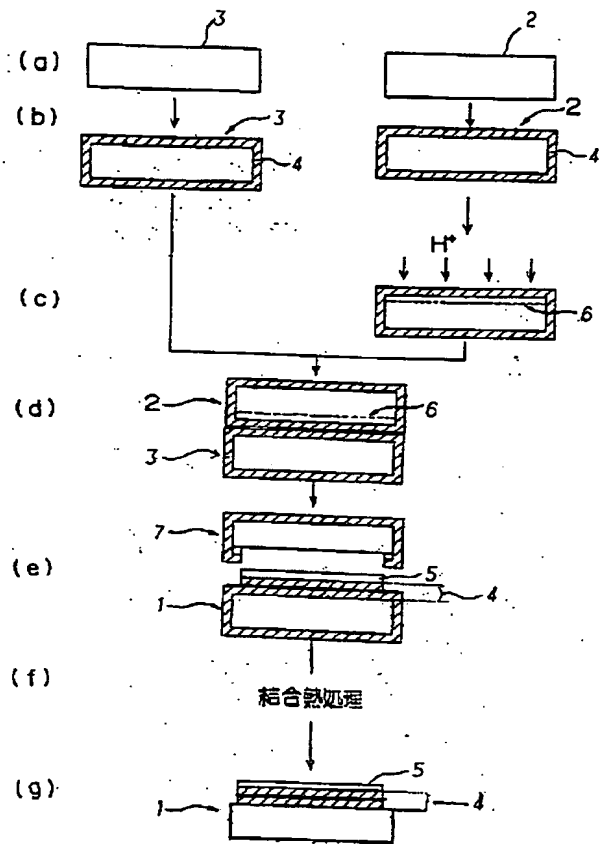
【図1】



【図3】



【図2】



フロントページの続き

(72)発明者 降旗 順一郎

群馬県安中市磯部2丁目13番1号 信越半  
導体株式会社半導体磯部研究所内

(72)発明者 三谷 清

群馬県安中市磯部2丁目13番1号 信越半  
導体株式会社半導体磯部研究所内

Fターム(参考) 4G077 AA02 AA03 BB03 CF00 EB06  
EH09 FB05 FE05 FF01 FF07

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**